

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08111409 A**(43) Date of publication of application: **30.04.96**

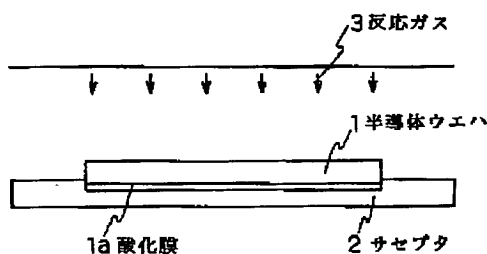
(51) Int. Cl.

**H01L 21/316****C30B 25/16****C30B 25/18**(21) Application number: **06246361**(22) Date of filing: **12.10.94**(71) Applicant: **ROHM CO LTD**(72) Inventor: **NAKAJIMA HAJIME  
HASHIMOTO NORIO****(54) MANUFACTURING FOR SEMICONDUCTOR  
DEVICE****(57) Abstract:**

**PURPOSE:** To provide a manufacturing method for a semiconductor device in a CVD process, in which a warp in semiconductor wafer is prevented in a heating process and a uniform film formation step or a uniform treatment step is carried out.

**CONSTITUTION:** In a manufacturing method for a semiconductor device, a film formation step and an etching step are carried out to form a semiconductor element on a semiconductor wafer 1. After that, the semiconductor wafer 1 is diced. At least an oxide film 1a made of the same material as the wafer 1 is formed on the rear face of the semiconductor wafer 1 before a CVD film formation step on a face of the semiconductor wafer 1. The oxide film 1a on the rear face of the semiconductor wafer 1 is left as it is still after a last film formation step is carried out in the CVD method.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111409

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/316	M			
C 3 0 B 25/16				
25/18				

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平6-246361

(22) 出願日 平成6年(1994)10月12日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 中島 元

福岡県筑後市大字上北島883番地 アポロ

デバイス株式会社内

(72) 発明者 橋本 規生

福岡県筑後市大字上北島883番地 アポロ

デバイス株式会社内

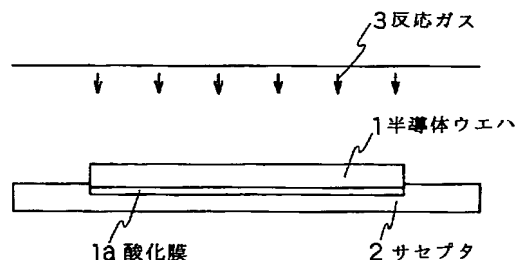
(74) 代理人 弁理士 河村 洸 (外2名)

(54) 【発明の名称】 半導体装置の製法

(57) 【要約】

【目的】 CVD工程など半導体ウェハの加熱プロセスにおいて、半導体ウェハの反りを極力抑え、均一な成膜や処理をできる半導体装置の製法を提供する。

【構成】 半導体ウェハ1に少なくともCVD法による成膜工程、エッチング工程を経て半導体素子を形成し、該半導体素子が形成された半導体ウェハをダイシングして半導体装置を製造する方法であって、前記半導体ウェハ1の表面に少なくとも最初のCVD法による成膜を行う工程の前に前記半導体ウェハの裏面に該半導体ウェハ材料の酸化膜1aを形成し、該半導体ウェハ裏面の酸化膜を少なくとも最後のCVD法による成膜工程のあとまでそのまま残存させることを特徴とする。



## 【特許請求の範囲】

【請求項1】 半導体ウェハに少なくともCVD法による成膜工程を含む処理を施して半導体素子を形成し、該半導体素子が形成された半導体ウェハをダイシングして半導体装置を製造する方法であって、前記半導体ウェハの表面に少なくとも最初のCVD法による成膜を行う工程の前に前記半導体ウェハの裏面に該半導体ウェハ材料の酸化膜を形成し、該半導体ウェハ裏面の酸化膜を少なくとも最後のCVD法による成膜工程のあとまでそのまま残存させることを特徴とする半導体装置の製法。

【請求項2】 前記半導体ウェハの裏面の前記酸化膜を前記半導体ウェハの表面にマスクとして形成する酸化膜と同時に熱酸化法により形成する請求項1記載の半導体装置の製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製法に関する。さらに詳しくは、CVD法などの高温状態で成膜する際に半導体ウェハの反りに起因する成膜ムラなどの処理ムラをなくする半導体装置の製法に関する。

## 【0002】

【従来の技術】 ICなどの半導体装置は一般につぎのように製造されている。すなわち、たとえば直径が6インチまたは5インチなどの半導体ウェハにエピタキシャル成長やCVD法などによる成膜工程、ホトレジストの塗布、露光、現像、エッチングなどによる一連のフォトリソグラフィ技術によるパターンニング、イオン注入などの各プロセスを経て1枚のウェハに複数個の同じ半導体素子が形成される。そして半導体ウェハでの各プロセスが完了したのち、半導体ウェハをダイシングして各チップに分離し、そのチップをリードフレームなどにボンディングし、モールドすることにより半導体装置が製造されている。

【0003】 前述の半導体ウェハは半導体単結晶の塊りであるインゴットを薄いウェハに切り出して形成されるが、各半導体装置の目的に適した厚さに半導体ウェハが切削研磨されたり、切り出しによるウェハ表面の粗面を平滑にするため研磨剤によるラッピングやポリシングが行われる。厚さ調整段階では切削や化学的処理、比較的粗い研磨剤を用いた研磨などが行われ、半導体ウェハの表面側はのちのエピタキシャル成長や成膜などのため、細かい研磨剤を用いた鏡面仕上にされている。したがって半導体ウェハは一般に表面側は鏡面状態で裏面側は鏡面に至らず比較的粗い面になっている。

## 【0004】

【発明が解決しようとする課題】 前述のように、半導体ウェハは表面側と裏面側とでその仕上面が異なり、加熱プロセスで温度が上がると裏面側の粗面に引張りの熱応力が加わる。そのため、たとえばCVD工程で400℃程度にし成膜するばあい、図3に示されるように、半導

体ウェハ1は下が凸となるように反る。この反りは成膜時に反応管の外から見ると肉眼ではっきりと確認できる程大きな反りになる。そのため半導体ウェハ1の周囲は400℃程度に加熱されたサセプタ2から浮き上がり半導体ウェハ1の周囲の温度が低くなるとともに、また反応ガス3の流動範囲が狭くなる。その結果半導体ウェハ1の周囲では膜の成長が遅くなり成膜しにくく、端部ではほとんど成膜されないばあいもあり、半導体ウェハ表面の膜厚のムラが、たとえば0.1~0.2μmと大きくなる。そのため、ダイシングして各チップに分離したときチップの不良が発生して歩留りが低下したり、信頼性が低下するという問題がある。

【0005】 本発明はこのような問題を解決し、CVD工程など半導体ウェハの加熱プロセスにおいて、半導体ウェハの反りを極力抑え、均一な成膜や処理をできる半導体装置の製法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明者らは、前述の加熱プロセスの際の半導体ウェハの反りに起因する成膜のバラツキなど加熱プロセスにおける半導体ウェハ表面の処理のバラツキをなくするため鋭意検討を重ねた結果、半導体ウェハの裏面にSiO<sub>2</sub>などからなる酸化膜を形成することにより、粗面に起因する熱応力の引張力を相殺する圧縮力が裏面側に働き、加熱時にも半導体ウェハの反りが殆ど生じなく、たとえばCVD法の成膜工程においても半導体ウェハの中心部と周辺部で均一な膜厚がえられることを見出した。

【0007】 本発明の半導体装置の製法は、半導体ウェハに少なくともCVD法による成膜工程を含む処理を施して半導体素子を形成し、該半導体素子が形成された半導体ウェハをダイシングして半導体装置を製造する方法であって、前記半導体ウェハの表面に少なくとも最初のCVD法による成膜を行う工程の前に前記半導体ウェハの裏面に該半導体ウェハ材料の酸化膜を形成し、該半導体ウェハ裏面の酸化膜を少なくとも最後のCVD法による成膜工程のあとまでそのまま残存させることを特徴とする。

【0008】 前記半導体ウェハの裏面の前記酸化膜を前記半導体ウェハの表面にマスクとして形成する酸化膜と同時に熱酸化法により形成することが、特別の成膜工程を必要とせず、エッチング時などは保護膜を裏面の酸化膜に付着しておくだけでよい。ため、沢山の加熱プロセスがあるばあいでもその都度裏面の酸化膜を設ける必要がなく好ましい。

## 【0009】

【作用】 本発明によれば、半導体ウェハの粗面である裏面に酸化膜を形成しているため、粗面による熱応力に基づく半導体ウェハ裏面の引張力と、シリコンなどからなる半導体ウェハおよびSiO<sub>2</sub>などからなる酸化膜との熱膨脹係数の差に基づく酸化膜の圧縮力とが相殺されて

10

20

30

40

50

CVD工程などの加熱プロセスにおける高温時に半導体ウェハの反りがなくなる。

【0010】その結果、たとえばCVD工程などで成膜するときでも、半導体ウェハは全面でサセプタに接触し、温度が均一になるとともに、周囲の反応ガスの流動状況も均一になり、均一な膜厚で成膜することができる。

【0011】

【実施例】つぎに図面を参照しながら本発明の半導体装置の製法について説明する。図1は本発明の半導体装置の製法のCVD工程の概略説明図、図2は半導体ウェハの裏面に酸化膜を設けたときの酸化膜の厚さと反りとの関係を示す図である。

【0012】前述のように、本発明者らはCVD法による成膜工程の膜厚などが均一にならない原因について調べた結果、400℃程度の高温で成膜する際に図3に示されるように、半導体ウェハ1の周囲が反り上がり、半導体ウェハ1の周縁の温度が低下し、さらに雰囲気中の反応ガスも反応領域が狭くなって充分でないことに起因していることを見出した。本発明者らは成膜時にこの反りをなくするため、さらに鋭意検討を重ねた結果、反りの原因が半導体ウェハの表裏面の粗さの差に基づくものであることを見出し、半導体ウェハの裏面に該半導体ウェハの材料より熱膨張係数が小さくなる酸化膜を設けることにより、半導体ウェハの裏面には粗面に基づく引張力と熱膨張係数の小さい酸化膜に基づく圧縮力とが働き、両者が相殺されて加熱時の半導体ウェハの反りを抑制できることを見出した。

【0013】加熱時の半導体ウェハの反りを測定することはできないが、従来の5インチウェハを用いて400℃程度でPSG膜をCVD法により成膜するすればあい、反応管の外から肉眼で見て明らかに周囲が反り上がっているのを確認することができ、1~2mm程度はサセプタから反り上がっていた。一方、図1に示されるように、半導体ウェハ1の裏面に酸化膜1aを設け、その厚さを種々変えて成膜したときの半導体ウェハ1の反りを調べた結果、図2に示す結果がえられた。すなわち、酸化膜1aは半導体ウェハ1のプロセスの初期に次工程のパターニングのため半導体ウェハ1の表面にSiO<sub>2</sub>などの酸化膜を1000~1200℃程度で熱酸化法により形成するが、その際に裏面に形成された酸化膜1aをあとのエッチング工程などのときにレジストなどを塗布して保護することにより除去されないようにして残すもので、この熱酸化の時間を制御することにより酸化膜の厚さを変えたものである。図2(a)は酸化膜1aを形成したのち、常温においての半導体ウェハ1の反りを測定して酸化膜1aの厚さに対する関係を示したグラフで、図2(b)は、酸化膜の厚さを変えたとき400℃程度でPSG膜を成膜するCVD工程における半導体ウェハ1の反りを、反応管の外からの目視による観察によ

り傾向として図に示したものである。

【0014】前述のように、酸化膜1aの形成は熱酸化法により、1000℃程度の高温で形成されているため、常温では酸化膜1aの厚さが0.6μm程度以上では酸化膜1aの方が半導体ウェハ1より収縮が小さく、下側が凸になるようにわん曲する。一方、酸化膜1aの薄い方では酸化膜1aの収縮力は働かず、上側に凸となるようにわん曲する。この半導体ウェハ1をCVD法で成膜するため400℃程度に上げると、図2(b)に示されるように、酸化膜1aが薄いときは下に凸の反りが大きく現われるが、酸化膜1aの厚さが0.6μm程度以上では肉眼で見て反りがほとんど観察されず、平らな半導体ウェハ1の状態に成膜することができる。

【0015】本発明の半導体装置の製法は以上の知見に基づいて行われたもので、つぎに具体的に説明する。

【0016】図1は本発明のCVD工程など熱プロセスにおける半導体ウェハ1の説明図である。図1において1は、たとえばシリコンなどからなる厚さが200~250μm、5インチの半導体ウェハで、その裏面には、たとえばSiO<sub>2</sub>などからなる酸化膜1aが0.7~1.0μmの厚さに形成されている。

【0017】酸化膜1aが形成される前の半導体ウェハ1は前述のように、インゴットから切り出されたのち、表面は鏡面になるように研磨され、裏面はそれより粗く研磨されている。また酸化膜1aは0.7~1.0μmの厚さに形成されている。この酸化膜1aの形成は、前述の半導体ウェハ1が洗浄されたのち、次工程のマスキングのため、1000~1200℃のO<sub>2</sub>またはO<sub>2</sub>とH<sub>2</sub>の混合雰囲気中で50分~100分間熱処理をすることにより、表面および裏面を含む全面に形成される酸化膜を用いることができるが、別の工程で熱酸化法またはCVD法などにより形成されてもよい。

【0018】そののち表面側の酸化膜をパターニングするため、レジストの塗布、露光、現像処理ののち酸化膜のエッチングが行われるが、そのエッチングの際裏面の酸化膜1aの全面にレジストなどを塗布しておきエッチング液で除去されないようにする。その後の工程においても酸化膜1aが処理液で除去される工程があるときは除去されないように保護膜を設けて、少なくとも最終的なCVD法による成膜工程が終了するまで裏面の酸化膜1aを保持する。

【0019】半導体のウェハプロセスにおいて、前述の熱酸化工程の後、エッチング工程、拡散工程などを経て、たとえば保護膜およびケタリングのためのPSG膜をCVD法により成膜する工程があるが、この成膜の際、前述の半導体ウェハ1の裏面に酸化膜1aが形成された状態でサセプタ2上に載置して図示しない反応管内に設置し、サセプタ2を400℃程度に加熱して反応ガス3であるSiH<sub>4</sub>とO<sub>2</sub>をドーパントガスとともに導入することによりガスが反応して半導体ウェハ1の表面

上に成膜される。この際、半導体ウェハ1の裏面に酸化膜1aが0.7~1.0 $\mu\text{m}$ の厚さに形成されているため、前述の図2(b)に示されるように、400℃程度に加熱された状態で反りはほとんど発生せず、均一厚さのPSG膜が成膜された。実際に成膜後の半導体ウェハ内で周縁部と中心部のあいだで5カ所の測定点により成膜厚さを測定した結果、0.01~0.02 $\mu\text{m}$ の範囲に納まり、従来の0.1~0.2 $\mu\text{m}$ のバラツキに対して格段の改良がみられた。そのうち、通常の半導体の製造プロセスを続け、コンタクトのエッチング工程時に裏面の酸化膜も除去し、裏面研削したのちダイシングし、各チップに分離してリードフレームにボンディングし、モールドすることにより半導体装置がえられる。

【0020】以上の説明ではCVD法による成膜工程において半導体ウェハ1の裏面の酸化膜1aの効用について述べたが、CVD法以外の熱反応による成膜工程などにおいても同様に処理時の半導体ウェハ1の反りを防止することができ、効果がある。ただし、この処理時の温度により適切な酸化膜1aの厚さに選定するのが好ましい、すなわち処理温度が高くなる程厚い方が好ましく、低い温度になれば薄い方が好ましい。しかし、熱プロセスの中でもとくに問題となるのはCVD工程であり、そのCVD行程の温度である400℃程度に好適な酸化膜の厚さ、すなわち0.7~1.0 $\mu\text{m}$ 程度に形成するのが最も好ましい。

【0021】また、半導体ウェハ1が薄くなると反りが激しくなり酸化膜1aの厚さも厚くする必要があり、酸

化膜形成前の半導体ウェハ(サブウェハ)1の厚さが、たとえば150~200 $\mu\text{m}$ 程度になると前述の400℃程度の熱処理工程においても1.0~1.3 $\mu\text{m}$ 程度の酸化膜1aを形成することにより、均一厚さの成膜をすることができる。

【0022】

【発明の効果】本発明によれば、半導体ウェハの裏面に酸化膜を形成しているので、CVD工程など熱処理プロセスにおける半導体ウェハの反りが問題とならず、均一厚さの成膜など熱処理プロセスを半導体ウェハ表面の全面で均一に行うことができる。その結果、製品歩留りが向上するとともに品質が一定した半導体装置がえられる。また、この傾向はとくに半導体ウェハが薄くなるにつれて顕著となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製法のCVD工程における説明図である。

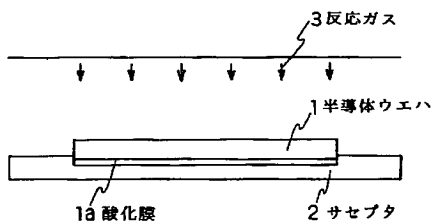
【図2】半導体ウェハの裏面に設けられる酸化膜の厚さと反りの関係を示す図である。

【図3】従来の製法のCVD工程における説明図である。

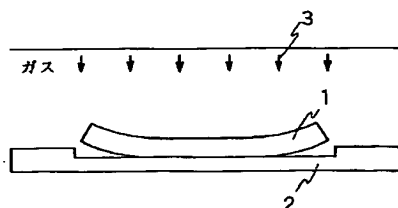
【符号の説明】

- 1 半導体ウェハ
- 1a 酸化膜
- 2 サセプタ
- 3 反応ガス

【図1】



【図3】



【図2】

